

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-204614

(43)Date of publication of application : 29.11.1983

(51)Int.Cl.

H03G 3/02
H03H 11/46

(21)Application number : 57-087424

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.05.1982

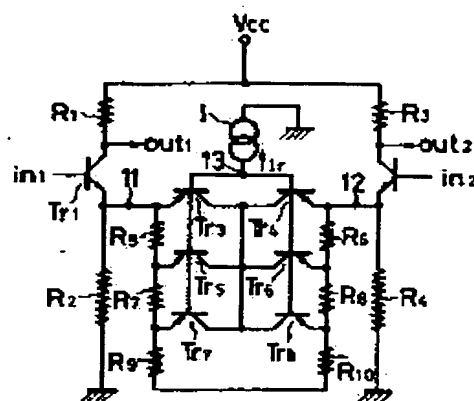
(72)Inventor : GOTO KUNIAKI

(54) FORMING CIRCUIT OF VARIABLE ALTERNATING CURRENT RESISTOR

(57)Abstract:

PURPOSE: To reduce the pattern area, by making a current amplification factor of transistors(TRs) different for a ladder circuit network comprising the TRs controlled with a current from a control current source.

CONSTITUTION: The width of base at the center of the base region of TRs TR3 TR8 constituting the ladder circuit is formed narrower than the width of the base at both sides. That is, the width of base of the TRs TR5, TR6 is designed narrower than that of the TR3, TR4, TR7 and TR8, allowing to constitute the current amplification factor of the TR5, TR6 at the center larger than that at the circumference. Through the constitution like this, since the base region of the TRs at the center is narrow, the current amplification factor is decreased gradually toward the circumference. Thus, even if no bias current is applied, the conduction is done sequentially from the TR5, TR6 at the center toward the TR7, TR8 and the TR3, TR4 at both sides depending on the amplitude of a control current I_r . Thus, no bias resistor and its wiring are required and the pattern area is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 昭58—204614

⑬ Int. Cl.³
H 03 G 3/02
H 03 H 11/46

識別記号 庁内整理番号
7154—5 J
7439—5 J

⑭ 公開 昭和58年(1983)11月29日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 可変交流抵抗形成回路

京芝浦電気株式会社トランジスタ工場内

⑯ 特 願 昭57—87424

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)5月24日

川崎市幸区堀川町72番地

⑲ 発 明 者 後藤邦章

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

可変交流抵抗形成回路

2. 特許請求の範囲

(1) 電源と接地点間に接続される第1の抵抗、第1の増幅トランジスタおよび第2の抵抗から成る直列回路と、この直列回路に並列接続される第3の抵抗、第2の増幅トランジスタおよび第4の抵抗から成る直列回路と、上記第1の増幅トランジスタと第2の抵抗との接続点と第2の増幅トランジスタと第4の抵抗との接続点間に配設され制御電流源からの電流によって導通制御される第1、第2のトランジスタ回路とを具備し、上記第1、第2の増幅トランジスタに入力信号を供給して導通制御し、上記第1の抵抗と第1の増幅トランジスタとの接続点および第3の抵抗と第2の増幅トランジスタとの接続点から出力を得るように構成したことを特徴とする可変交流抵抗形成回路。

(2) 上記第1、第2のトランジスタ回路は、

それぞれ抵抗と電流増幅率の異なるトランジスタから成るラダー回路網によって形成したことを特徴とする特許請求の範囲第1項記載の可変交流抵抗形成回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、テレビ、ラジオおよび通信機等の可変利得制御回路に使用される可変交流抵抗形成回路に関する。

〔発明の技術的背景〕

従来、可変交流抵抗形成回路として、特公昭53-29584号公報に第1図に示すような回路が開示されている。すなわち、電源 V_{cc} と接地点間に第1の抵抗 R_1 、第1の増幅トランジスタ Tr_1 および第2の抵抗 R_2 から成る直列回路が接続され、この直列回路と並列に第3の抵抗 R_3 、第2の増幅トランジスタ Tr_2 および第4の抵抗 R_4 から成る直列回路が接続される。上記トランジスタ Tr_1 、 Tr_2 の2つのベース間には増幅すべき信号 in_1 、 in_2 が供給され、これ

らによって増幅された信号out 1, out 2は2つのコレクタ間から取り出すことができる。ここで両ベース電位は適当な方法(図示せず)によって互いに等しい直流電圧に維持する。さらに、上記両トランジスタ Tr_1 および Tr_2 のエミッタに接続される端子11と12との間には可変交流抵抗を有する回路が接続される。端子11と12との間の回路は、端子11から12またはその逆に流れる信号電流に対して直列に逆接続された2個のpnpトランジスタ Tr_3 および Tr_4 のエミッタ-ベース接合形態で2個直列に接続したpn接合をもって形成される。トランジスタ Tr_3 、 Tr_4 のエミッタ-ベース接合間の接続点13は制御電流源Iに接続され、この電流源Iにより端子11、12間の交流抵抗、つまり増幅器全体の利得を制御する制御電流 I_r を供給する。上記制御電流源Iを第1図では電流源記号によって示してあるが、これはこの制御電流源Iのインピーダンスが比較的高く、この電流源Iの内部抵抗がこれに接続される抵抗に比べて高いことを強調するためである。こ

Tr_7 のエミッタに接続されるとともに、端子14および抵抗 R_{10} を介してラダー回路網の終端トランジスタ Tr_8 のエミッタに接続される。このバイアス電流源 R_{11} はバイアス電流 I_{11} の半分を抵抗 R_9 を経て抵抗 R_7 とトランジスタ Tr_7 のエミッタとの接続点に供給し、また残りの半部分を抵抗 R_{10} を経て抵抗 R_8 とトランジスタ Tr_8 との接続点に供給する。トランジスタ $Tr_1 \sim Tr_8$ のコレクタは浮動電位に維持されないように相互接続する。

上記のような構成において動作を説明する。今、制御電流 $I_r=0$ と仮定すると、トランジスタ $Tr_1 \sim Tr_8$ は必然的に全てカット・オフされる。このため、端子11と12との間の信号電流は抵抗 R_5 、 R_7 、 R_9 、 R_{10} 、 R_8 および R_6 を経て流れる。この場合、端子11と12との間の交流抵抗値は高いため、増幅段の利得は小さくなる。

$I/2$ の直流電流は、抵抗 R_5 、 R_7 および R_9 を介して端子11に流れるとともに、抵抗

のように制御電流源Iの内部抵抗は高いため、端子11と12との間に流れる信号電流は制御電流源Iを経て接地点には流れない。

トランジスタ Tr_1 のベース-エミッタ接合は抵抗 R_5 とトランジスタ Tr_2 のエミッタ-ベース接合との直列回路によって分路されるとともに、同様にトランジスタ Tr_4 のエミッタ-ベース接合も抵抗 R_5 とトランジスタ Tr_3 のエミッタ-ベース接合との直列回路によって分路される。トランジスタ Tr_6 のエミッタ-ベース接合は抵抗 R_7 とトランジスタ Tr_7 のエミッタ-ベース接合との直列回路によって分路され、またトランジスタ Tr_8 のエミッタ-ベース接合も抵抗 R_9 とトランジスタ Tr_8 のエミッタ-ベース接合との直列回路によって分路される。このようにして、任意所装に応じ拡張し得る直列抵抗と並列pn接合とから成るラダー回路が形成される。一端が電流 V_{cc} に接続される抵抗形順のバイアス電流源 R_{11} の他端は、端子14および抵抗 R_{10} を経てラダー回路網の終端トランジスタ

R_{10} 、 R_8 および R_6 を介して端子12に流れる。従って、トランジスタ Tr_5 、 Tr_6 のエミッタ電位は、トランジスタ Tr_3 、 Tr_4 のエミッタ電位より高くなり、またトランジスタ Tr_7 、 Tr_8 のエミッタ電位はトランジスタ Tr_1 、 Tr_2 のエミッタ電位よりも高くなる。

次に、制御電流源Iが少量の制御電流 I_r を供給し始める場合には、トランジスタ Tr_1 、 Tr_2 のエミッタ電位がトランジスタ $Tr_3 \sim Tr_8$ の内での最大の電位になるので導通するが、トランジスタ $Tr_5 \sim Tr_8$ はカット・オフされたままである。この場合、端子11と12との間の信号電流は、抵抗 R_5 、 R_7 、トランジスタ Tr_1 、 Tr_2 および抵抗 R_9 、 R_{10} を介して流れるので、この電流通路の抵抗は多少低くなる。従って、利得は増加する。

制御電流 I_r がさらに増加すると、トランジスタ Tr_5 、 Tr_6 が導通し、ついでトランジスタ Tr_7 、 Tr_8 が導通する。このようにトランジスタが順次導通すると端子11と12との間の交

流抵抗が漸次低下するため、利得は次第に増加する。

〔背景技術の問題点〕

ところで、近年半導体集積回路装置においては、高集積化が強く望まれており、上述した可変抵抗形成回路は一般に多段構成にて用いられることが多いため、集積化した場合にパターン面積が大きい欠点がある。

〔発明の目的〕

この発明は上記のような事情を鑑みてなされたもので、その目的とするところは、パターン面積を縮小できる可変交流抵抗形成回路を提供することである。

〔発明の概要〕

すなわち、この発明においては、上記第1図の回路におけるトランジスタ $Tr_1 \sim Tr_4$ のベース領域の中央部のベース幅を両側のベース幅より狭く形成する。つまりトランジスタ Tr_1 、 Tr_2 のベース幅をトランジスタ Tr_3 、 Tr_4 および Tr_5 、 Tr_6 のベース幅より狭く設定するこ

とにより、中央部のトランジスタ Tr_1 、 Tr_2 の電流増幅率を周辺部より大きくなるように構成し、バイアス電流源として働く抵抗 R_{11} が不要となるようにしたものである。

〔発明の実施例〕

以下、この発明の一実施例について図面を参照して説明する。第2図はその構成を示すもので、上記第1図の回路におけるトランジスタ $Tr_1 \sim Tr_4$ のバイアス電流源（抵抗 R_{11} ）を取り除いたものである。そして、上記第2図の回路におけるトランジスタ $Tr_1 \sim Tr_4$ は第3図(a)、(b)に示すような構成とする。(a)図はパターン平面図、(b)図は(a)図のA-A'線に沿った断面構成図である。図において、15はトランジスタ $Tr_1 \sim Tr_4$ のエミッタ領域（P型の拡散層）、16はベース領域（N型のエピタキシャル層）、17はコレクタ領域（P型の拡散層）、18はP⁺型基板、19はN⁺型の埋込層、20は分離拡散層、21a、21bは各トランジスタのコレクタを共通接続するためのアルミ等の配線、12

は制御電流源とのコンタクトを取るためのN⁺型の拡散領域である。

このような構成によれば、中央部のトランジスタのベース領域が狭いためこの部分の電流増幅率 β_F が高くなり、周辺に行くにしたがい徐々に低くなる。このため、バイアス電流を印加しなくても制御電流 I_F の大きさに応じて、中央部のトランジスタ Tr_1 、 Tr_2 から両側のトランジスタ Tr_3 、 Tr_4 および Tr_5 、 Tr_6 に向かって順次導通する。つまり、上記第1図の回路と同様な動作を行なう。従って、抵抗 R_{11} およびこの抵抗 R_{11} と抵抗 R_9 、 R_{10} への配線が不要となるので、パターンを単純化かつ面積を縮小できる。

なお、上述したベース領域16のパターンの傾斜は付けなくても動作が可能であるが、この場合制御電流 I_F によって動作するのはトランジスタ Tr_1 、 Tr_2 のみであり、出力特性は多少悪くなる。

〔発明の効果〕

以上説明したようにこの発明によれば、パターン面積を縮小できる可変交流抵抗形成回路が得られる。

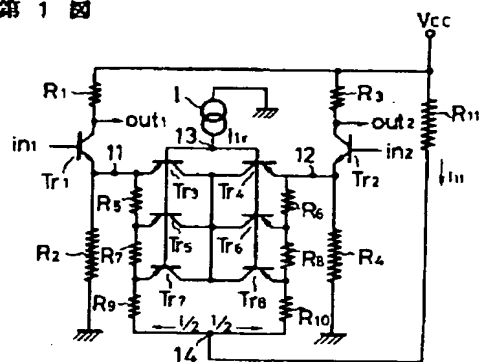
4. 図面の簡単な説明

第1図は従来の可変交流抵抗形成回路を示す図、第2図はこの発明の一実施例に係る可変交流抵抗形成回路を示す図、第3図(a)、(b)はそれぞれ上記第2図の回路における可変交流抵抗を有する回路のパターン構成例を示す図である。

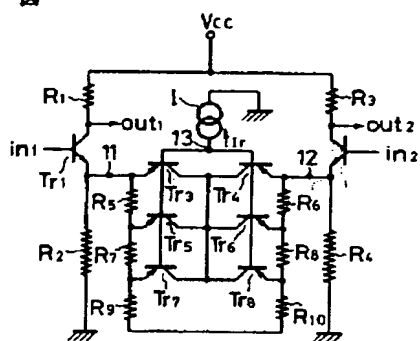
$R_1 \sim R_{10}$ 、 Tr_1 、 Tr_2 …増幅トランジスタ、 $Tr_3 \sim Tr_6$ …トランジスタ、 I …制御電流源、 V_{cc} …電源。

出願人代理人 弁理士 鈴 江 武 彦

第 1 図



第 2 図



第 3 図

